

DERWENT-ACC-NO: 2000-663522

DERWENT-WEEK: 200064

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Serially connected diode structure
with triple well
circuit, and its
applicable to electrostatic discharge
associated production method

INVENTOR: LI, J; SHR, J

PATENT-ASSIGNEE: TAIWAN SEMICONDUCTOR MFG CO[TASEN]

PRIORITY-DATA: 1998TW-0120018 (December 2, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
TW 390013 A		May 11, 2000	
016	H01L 021/329		

N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR
TW 390013A	N/A
0120018	December 2, 1998

APPL-NO

1998TW-

INT-CL (IPC): H01L021/329, H01L023/60

ABSTRACTED-PUB-NO: TW 390013A

BASIC-ABSTRACT:

NOVELTY - The serially connected diode structure is formed on a semiconductor substrate containing a first conductive type dopant in it. The serially connected diode structure can comprise: an insulation well,

a number of device wells, a number of first and second doping regions; and a number of conductive wires. The insulation well is formed in the substrate, and contains a second conductive type provided as the insulation well of the serially connected diode, and the device wells are formed in the insulation well. Each device well contains the first conductive type dopant. In the number of first doping region, each first doping region is formed in each device well. The dosage of doping of the first conductive type dopant in the first doping region is higher than the dosage of dopant in the device well. Each of the number of second doping regions contains the second conductive type dopant, and is formed in each device well and isolated from each of the first doping region in order to form a diode in each device well, thereby forming a number of diodes. A number of conductive wires are formed on the substrate to serially connect the number of diodes.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: SERIAL CONNECT DIODE STRUCTURE TRIPLE WELL
APPLY ELECTROSTATIC
DISCHARGE CIRCUIT ASSOCIATE PRODUCE METHOD

DERWENT-CLASS: U11 U12 U13

EPI-CODES: U11-C08A3; U11-C18B1; U12-C01C; U13-D01B; U13-E01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-491552

中華民國專利公報 [19] [12]

[11]公告編號：390013

[44]中華民國 89年(2000) 05月11日

發明

全 4 頁

[51] Int.Cl 06: H01L23/60
H01L21/329

[54]名稱：三層井之串接二極體結構及其製造方法

[21]申請案號：087120018

[22]申請日期：中華民國 87年(1998) 12月02日

[72]發明人：

李建興
施教仁

嘉義縣朴子市大同路三二二號
雲林縣斗六市鎮北路一五八號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1.一種串接二極體結構，至少包含：

一半導體基材，該基材內含有第一導電型雜質；

一絕緣井形成於該基材內，該絕緣井內含有第二導電型雜質，以做為該串接二極體之絕緣井；

複數個元件井形成於該絕緣井之內，該元件井內含有第一導電型雜質；

複數個第一摻雜區，每一個第一摻雜區係形成於每一個該元件井內，第一摻雜區內第一導電型雜質之摻雜劑量較該元件井內之摻雜劑量為高；

複數個第二摻雜區，第二摻雜區含有第二導電型雜質，每一個第二摻雜區係形成於每一個該元件井內，並與每一個第一摻雜區相隔離，以於每一個該元件井內形成一二極體，而形成複數個二極體；以及

複數個導體連線形成於該基材上，以串接該複數個二極體。

2.如申請專利範圍第1項之串接二極體結構，其中上述之第一導電型雜質係為P型雜質。

3.如申請專利範圍第1項之串接二極體結構，其中上述之第一導電型雜質至少包含硼離子雜質。

4.如申請專利範圍第1項之串接二極體結構，其中上述之第二導電型雜質係為N型雜質。

5.如申請專利範圍第1項之串接二極體結構，其中上述之第一導電型雜質至少包含磷離子雜質及砷離子雜質其中之一。

6.如申請專利範圍第1項之串接二極體結構，其中上述之基材中之第一導電型雜質之摻雜劑量約為 $1E11$ 到 $1E12$ atoms/cm² 之間。

7.如申請專利範圍第1項之串接二極體結構，其中上述之絕緣井中之第二導電型雜質之摻雜劑量約為 $2E13$ 到 $3E13$ atoms/cm² 之間。

- 8.如申請專利範圍第1項之串接二極體結構，其中上述之元件井中之第一導電型雜質之摻雜劑量約為 $1E13$ 到 $1.5E13$ atoms/cm² 之間。
- 9.如申請專利範圍第1項之串接二極體結構，其中上述之第一摻雜區中之第一導電型雜質之摻雜劑量約為 $2E15$ 到 $4E15$ atoms/cm² 之間。
- 10.如申請專利範圍第1項之串接二極體結構，其中上述之第二摻雜區中之第二導電型雜質之摻雜劑量約為 $3.5E15$ 到 $5.5E15$ atoms/cm² 之間。
- 11.如申請專利範圍第1項之串接二極體結構，其中上述之導體連線至少包含一摻雜之矽層。
- 12.如申請專利範圍第1項之串接二極體結構，係應用於靜電放電防護電路之中。
- 13.一種形成串接二極體結構之方法，該方法至少包含以下步驟：
提供半導體基材，該基材內含有第一導電型雜質；
形成一絕緣井形成於該基材內，該絕緣井內含有第二導電型雜質、以做為該串接二極體之絕緣井；
形成複數個元件井於該絕緣井之內，該元件井內含有第一導電型雜質；
形成複數個第一摻雜區，每一個第一摻雜區係形成於每一個該元件井內，第一摻雜區內第一導電型雜質之摻雜劑量較該元件井內之摻雜劑量為高；
形成複數個第二摻雜區，第二摻雜區含有第二導電型雜質，每一個第二摻雜區係形成於每一個該元件井內、並與每一個第一摻雜區相隔離，以於每一個該元件井內形成一二極體、而形成複數個二極體；以及
形成複數個導體連線於該基材上，以串接該複數個二極體。
- 14.如申請專利範圍第13項之方法，其中

- 上述之第一導電型雜質係為P型雜質。
- 15.如申請專利範圍第13項之方法，其中上述之第一導電型雜質至少包含硼離子雜質。
5. 16.如申請專利範圍第13項之方法，其中上述之第二導電型雜質係為N型雜質。
- 17.如申請專利範圍第13項之方法，其中上述之第一導電型雜質至少包含磷離子雜質及砷離子雜質其中之一。
10. 18.如申請專利範圍第13項之方法，其中上述之基材中之第一導電型雜質之摻雜劑量約為 $1E11$ 到 $1E12$ atoms/cm² 之間。
15. 19.如申請專利範圍第13項之方法，其中上述之絕緣井係以離子植入方式摻雜第二導電型雜質，摻雜劑量約為 $2E13$ 到 $3E13$ atoms/cm² 之間。
20. 20.如申請專利範圍第13項之方法，其中上述之元件井係以離子植入方式摻雜第一導電型雜質，摻雜劑量約為 $1E13$ 到 $1.5E13$ atoms/cm² 之間。
- 21.如申請專利範圍第13項之方法，其中上述之第一摻雜區係以離子植入方式摻雜第一導電型雜質，摻雜劑量約為 $2E15$ 到 $4E15$ atoms/cm² 之間。
25. 22.如申請專利範圍第13項之方法，其中上述之第二摻雜區係以離子植入方式摻雜第二導電型雜質，摻雜劑量約為 $3.5E15$ 到 $5.5E15$ atoms/cm² 之間。
30. 23.如申請專利範圍第13項之方法，其中形成上述之導體連線的步驟至少包含沈積並定義一摻雜之矽層。
- 24.如申請專利範圍第13項之方法，其中上述之串接二極體結構係應用於靜電放電防護電路之中。
35. 圖式簡單說明：
第一圖顯示習知之半導體基材上之串接二極體結構的截面示意圖。
第二圖顯示本發明中進行製程時所
- 40.

(3)

5

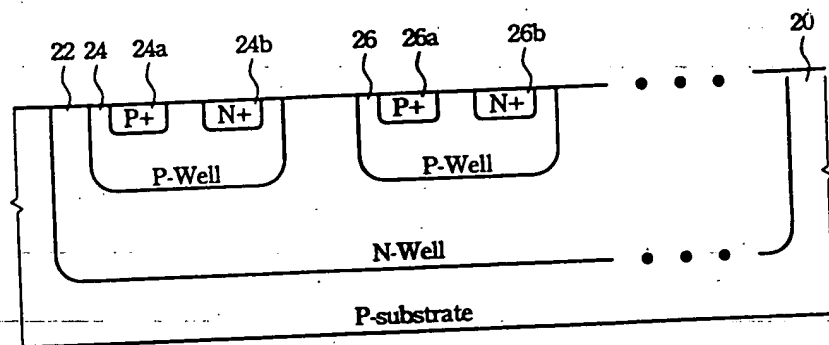
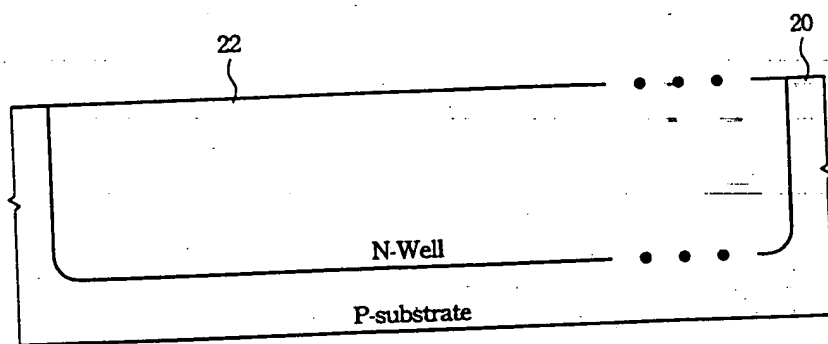
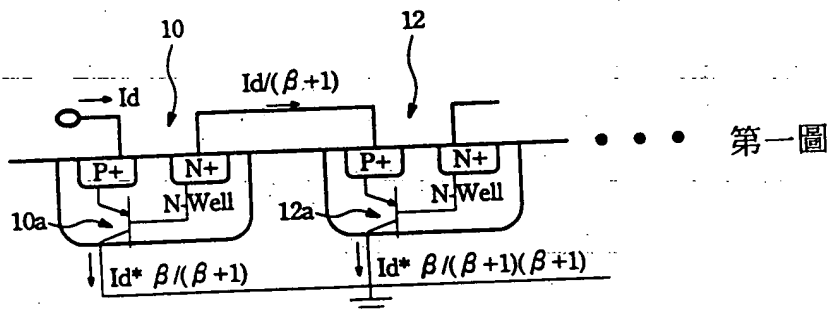
提供之半導體基材的截面示意圖。

第三圖顯示本發明中形成元件井、第一摻雜區、及第二摻雜區於半導體基材上的截面示意圖。

6

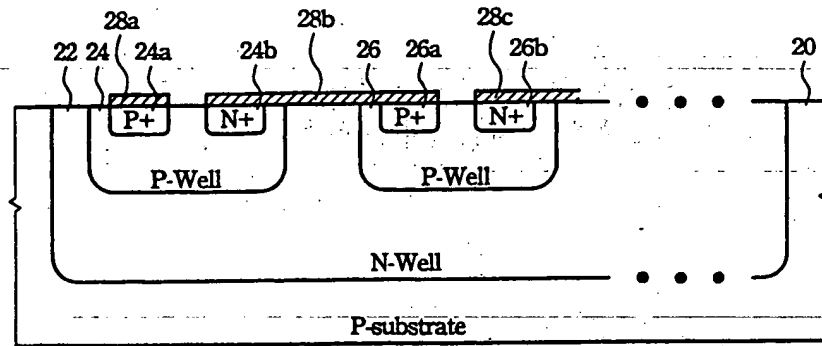
第四圖顯示本發明中形成導電連線於半導體基材上的截面示意圖。

第五圖顯示本發明中之三層井串接二極體結構的截面示意圖及等效電路。

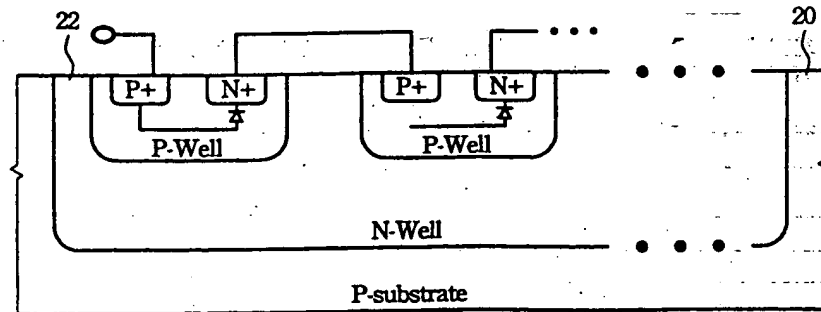


第三圖

(4)



第四圖



第五圖

[11]公告
[44]中

[51] In

[54]名
[21]申請
[30]優
[72]發明

岩名
和田
增日
平崎
西村
[71]申請
日立
日立
股份
[74]代理

[57]申請

1. 一種半
於主面
片的半
分別具
第2引
引線之
之主面
用於連
線所對
及
用於封
第2引
脂封裝
上述第
上述半
接著齊
上述第
面上不
述第1
導體晶